

⑫ 公開特許公報(A)

昭64-17473

⑬ Int.Cl.⁴H 01 L 29/78
21/28

識別記号

3 0 1

庁内整理番号

P-8422-5F
E-7638-5F

⑭ 公開 昭和64年(1989)1月20日

審査請求 有 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭62-174119

⑰ 出 願 昭62(1987)7月13日

⑱ 発 明 者 柴 田 英 毅 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内⑲ 発 明 者 斉 藤 光 親 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板上に酸化膜を介して形成されその上面及び側面が酸化膜で絶縁被覆されているゲート電極の側面にのみ耐酸化性膜を形成する工程と、

前記耐酸化性膜をマスクとして熱酸化を行なう工程と、

前記耐酸化性膜及びその直下の酸化膜を除去して前記半導体基板の表面を露出させる工程と、

前記半導体基板の露出表面に不純物を導入し、ソースまたはドレインとなる半導体領域を形成する工程と、

前記半導体基板の露出表面上に半導体膜を成長形成する工程と、

全面に第1の高融点金属層を形成する工程と、

この第1の高融点金属層上に絶縁膜を形成する工程と、

この絶縁膜を選択的に除去してコンタクトホールを形成する工程と、

このコンタクトホール内に第2の高融点金属層を堆積形成する工程と、

前記絶縁膜と前記第2の高融点金属層直下以外の前記第1の高融点金属層とを除去する工程と、

全面に層間絶縁膜を堆積形成した後、この層間絶縁膜表面の平坦化処理を行ない前記第2の高融点金属層の表面を露出させる工程とを具備することを特徴とする半導体装置の製造方法。

(2) 前記半導体領域の形成工程は前記半導体膜の形成工程の前または後に行われることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 前記第1の高融点金属層はチタン層と窒化チタン層との2層より成り、前記第2の高融点金属層はタングステン層より成ることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は半導体装置の製造方法に関し、特にコンタクト電極を自己整合的に形成するセルフアライメントコンタクト技術に関する。

(従来の技術)

近年、素子の微細化が進む一方で、電極取出し口すなわちコンタクト部の孤散層及びゲート配線材に対するアライメント余裕が微細化の妨げになってきている。これは、露光装置のマスク合せ精度や加工精度を考慮しなければならないために生じるものである。

第2図はこのようなアライメント余裕を説明するためのMOSトランジスタの断面構造を示すもので、MOSトランジスタのソースまたはドレイン領域2、3にそれぞれ開孔されるコンタクトホール4、5とゲート電極1との間には距離L1が、またコンタクトホール4、5と素子分離領域6との間には距離L2がそれぞれアライメント余裕と

して必要となる。

このようなアライメント余裕を予め設定せずにコンタクトホール4、5を形成すると、マスクずれによって、コンタクトホール4、5に形成するコンタクト電極7、8とゲート電極1との短絡が生じたり、コンタクトホール4、5が素子分離領域6上に開孔されて基板との電気的短絡が引起されることがある。

(発明が解決しようとする問題点)

この発明は前述の事情に鑑みなされたもので、従来ではアライメント余裕が必要なため素子の微細化が困難であった点を改善し、ゲート電極とコンタクトホール間、及びコンタクトホールと素子分離領域間に合せ余裕を設けなくとも歩留り良くコンタクト電極を形成できるようにして、微細化に適した半導体装置が得られる半導体装置の製造方法を提供することを目的とする。

〔発明の構成〕

(問題点を解決するための手段)

この発明による半導体装置の製造方法にあっては、

(作用)

このような半導体装置の製造方法にあっては、第1の高融点金属層がコンタクトホールを開孔する際のストッパー材となるため、ゲート電極とコンタクトとの短絡を防止することができる。したがって、コンタクトホール形成の際にアライメント余裕を設ける必要がなくなり、素子の微細化が可能となる。

(実施例)

以下、第1図を参照してこの発明の一実施例を説明する。

まず、第1図(A)に示すように、シリコン基板11に素子分離領域としてのフィールド酸化膜12を形成した後、熱酸化により膜厚が100～160Å程度のゲート酸化膜13を形成する。次に、リングドープされた多結晶シリコン層14(あるいは金属シリサイド層)を3500Å程度堆積形成し、さらにその上層にCVD酸化膜15、耐酸化性膜例えばシリコン窒化膜(Si₃N₄)16をそれぞれ堆積形成した後、パターニングして図示のよ

ては、半導体基板上に酸化膜を介して形成されその上面及び側面が酸化膜で絶縁被覆されているゲート電極の側面にのみ耐酸化性膜を形成する工程と、前記耐酸化性膜をマスクとして熱酸化を行なう工程と、前記耐酸化性膜及びその直下の酸化膜を除去して前記半導体基板の表面を露出させる工程と、前記半導体基板の露出表面に不純物を導入し、ソースまたはドレインとなる半導体領域を形成する工程と、前記半導体基板の露出表面上に半導体層を成長形成する工程と、全面に第1の高融点金属層を形成する工程と、この第1の高融点金属層上に絶縁膜を形成する工程と、この絶縁膜を選択的に除去してコンタクトホールを形成する工程と、このコンタクトホール内に第2の高融点金属層を堆積形成する工程と、前記絶縁膜と前記第2の高融点金属層直下以外の前記第1の高融点金属層とを除去する工程と、全面に層間絶縁膜を堆積形成した後、この層間絶縁膜表面の平坦化処理を行ない前記第2の高融点金属層の表面を露出させる工程とを具備するものである。

うなゲート電極部17を形成する。

次に第1図(B)に示すように、熱酸化により多結晶シリコン層14の側面に300Å程度の酸化膜を形成して、ゲート電極となる多結晶シリコン層14の周囲を絶縁被覆する。そして、3500Å程度のシリコン窒化膜を全面に堆積形成した後にR I E等の異方性エッチングを行なって第1図(C)に示すようにゲート電極部の側面にのみシリコン窒化膜18を残存させる。次に900～950℃、 $H_2 + O_2$ の条件でシリコン窒化膜18をマスクとして再び熱酸化を行なって、シリコン窒化膜18直下の酸化膜よりも他の酸化膜12、16を厚く形成した後、シリコン窒化膜18及びその直下の酸化膜をエッチング除去して、第1図(D)に示すようにシリコン窒化膜18直下の部分のシリコン基板11表面を露出させる。この場合、前述のようにシリコン窒化膜18直下の酸化膜よりも他の酸化膜12、16の膜厚の方が厚いため、多結晶シリコン層14表面が露出したり、シリコン窒化膜18直下以外の部分でシリコン基板11が露出することはない。

でコンタクトホールが開孔されることはない。

そして、第1図(G)に示すように、C V D法によりタングステン(W)をコンタクトホール26、27内のみ選択的に成長形成して第2の高融点金属層28、29を形成した後、B P S G膜25、C V D酸化膜24、および第1の高融点金属層23をR I Eにより除去して、第2の高融点金属層28、29直下のみ第1の高融点金属層を残存させる。

次に、第1図(H)に示すように、C V D酸化膜30、B P S G膜31をそれぞれ2000Å、8000Å堆積し、600～800℃の低温リフロー工程により表面を平坦化して前記第2の高融点金属層28、29の表面を露出させた後、この第2の高融点金属層28、29上にアルミニウム配線32、33を形成する。

尚、この実施例では不純物領域19、20の形成のためのイオン注入をシリコン層21、22の形成前に行なったが、シリコン層21、22の形成後に行なうことも可能である。また、L D D構造にするために、シリコン層21、22の形成前に低濃度の不純物

い。そして、酸化膜12及び16をマスクとしてシリコン基板11表面が露出された領域に不純物をイオン注入し、ソースまたはドレインとなる不純物領域19、20を形成する。

次に第1図(E)に示すように、減圧選択シリコン成長技術を用いてシリコン基板11の露出表面にシリコン層21、22を2000Å程度成長形成する。そして、チタン(Ti)および窒化チタン(TiN)をスパッタリング法によりそれぞれ200Å、1000Å程度堆積形成して第1の高融点金属層23を形成する。

次に第1図(F)に示すように、C V D酸化膜24およびB P S G膜25をそれぞれ2000Å、8000Å程度堆積し600～800℃程度の低温リフロー工程により表面を平坦化した後に、C V D酸化膜24およびB P S G膜25を選択的にエッチング除去してコンタクトホール26、27を開孔する。この場合、高融点金属層23がエッチングストッパー材として作用するため、ゲート電極となる多結晶シリコン層14やフィールド酸化膜12にま

を導入しておき、シリコン層21、22の形成後にさらに高濃度の不純物を導入してもよい。

また、基板11上に形成された薄い酸化膜13が後の熱酸化工程により第1図(D)のように厚く形成されるので、膜厚の厚いフィールド酸化膜12を予め形成しておかなくても素子分離を行なうことが可能となる。

【発明の効果】

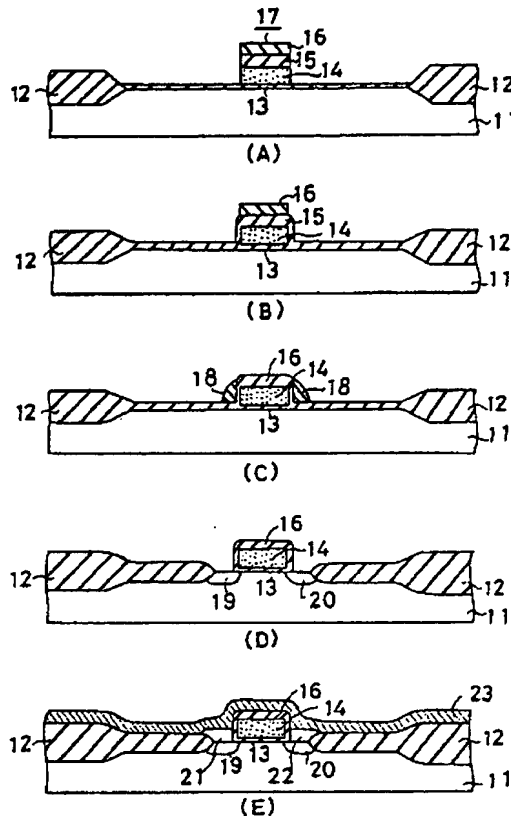
以上のようにこの発明によれば、ゲート電極上及び素子分離領域上にコンタクト開孔時のストッパー材を設けることにより、コンタクトがアライメントエラーをもって開孔されてもゲート電極とコンタクト電極の短絡を招くことはない。従って、ゲート電極とコンタクトホール間、およびコンタクトホールと素子分離領域間にそれぞれ合せ余裕を設けずにコンタクト電極を歩留り良く形成できるようになり、微細化に適した半導体装置を提供することができる。また、ソース、ドレイン部の拡散面面積が小さくできるために、接合容量を小さくでき、高速動作が可能となる。

4. 図面の簡単な説明

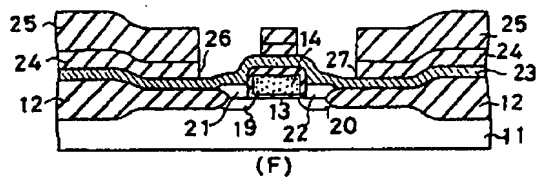
第1図はこの発明の一実施例に係る半導体装置の製造方法を説明する断面図。第2図は従来の製造方法によって製造した半導体装置を説明する断面図である。

11…シリコン基板、12…フィールド酸化膜、14…多結晶シリコン膜、19、20…不純物領域、21、22…シリコン膜、23…第1の高融点金属膜、28、29…第2の高融点金属膜。

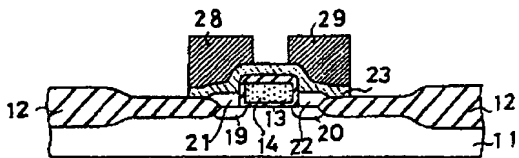
出願人代理人 弁理士 鈴江武彦



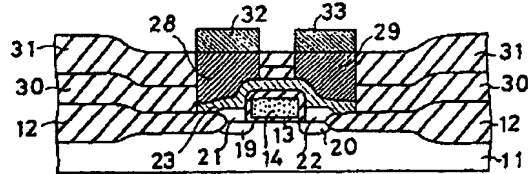
第1図



(F)

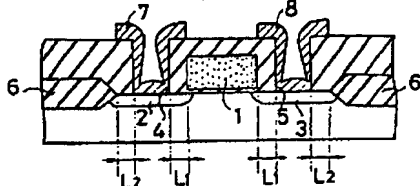


(G)



(H)

第1図



第2図

手続補正特 63.10.-7
昭和 年 月 日

特許庁長官 吉田文毅殿

1. 事件の表示

特願昭62-174119号

2. 発明の名称

半導体装置の製造方法

3. 補正をする者

事件との関係 特許出願人

(307) 株式会社 東芝

4. 代理人

東京都千代田区霞が関3丁目7番2号 UBEビル

〒100 電話 03(502)3181 (大代表)

(5847) 弁理士 鈴江武彦

5. 白発補正

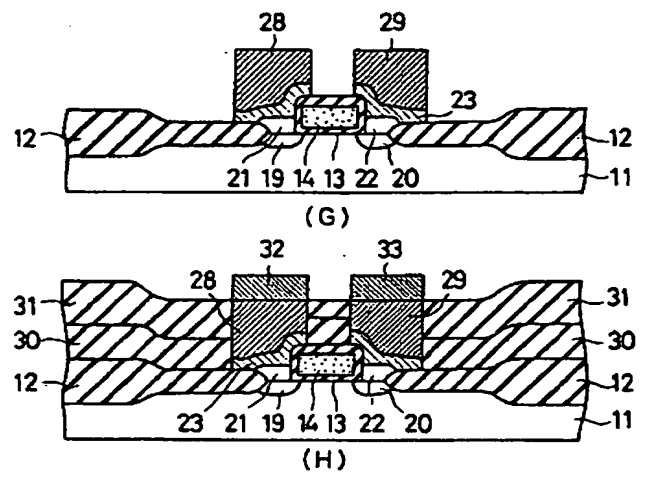
6. 補正の対象

図面



7. 補正の内容

図面中の第1図(C)、第1図(H)を別紙の通り訂正する。



第1図

THIS PAGE BLANK (USPTO)